首届高校ICT产教融合创新大赛企业命题

命题编号：36

|  |  |  |
| --- | --- | --- |
| 命题企业 | 中科亿海微电子科技（苏州）有限公司 | |
| 命题题目 | 采用基本逻辑实现16位乘法单元的FPGA综合优化算法 | |
| 命题方向 | 应用于FPGA EDA软件编译流程中的逻辑综合步骤 | |
| FPGA逻辑综合 | |
| 命题内容 | 命题背景 | 数字电路设计中经常会使用与或非加减乘除等基础运算，其中整数乘法运算作为基础运算使用频率较高但是需使用DSP硬件模块，在DSP模块不足时则需要用基本逻辑单元来实现，这将消耗大量的基本逻辑资源。针对乘法的综合优化是在DSP资源不足时FPGA逻辑综合工具必须考虑的场景。 |
| 研究目标 | 本赛题针对Verilog中的整数乘法功能，要求输出计算结果为由FPGA基本单元（LUT、FF）组成的正确网表。  赛题的verilog电路设计如下：  module mult(a,b,  product);  input [15:0]a;  input [15:0]b;  output [31:0]product;  assign product=a\*b;  endmodule  赛题的主要处理步骤如下图：    各个模块详述见后文。本题不限制参赛者使用python、C、C++等编程语言。参赛者可选以下两个方案之一完成参赛代码。  方案一：  利用赛题提供的综合工具可执行程序及脚本文件获得乘法单元的RTL网表，如下：  module \mult  wire width 32 $mul\_1\_Y  wire width 16 input 1 \a  wire width 16 input 2 \b  wire width 32 output 3 \product  cell $mul $mul\_1  parameter \A\_SIGNED 0  parameter \A\_WIDTH 16  parameter \B\_SIGNED 0  parameter \B\_WIDTH 16  parameter \Y\_WIDTH 32  connect \A \a  connect \B \b  connect \Y $mul\_1\_Y  end  connect \product $mul\_1\_Y  end  使用算法程序用赛题规定范围内的RTL基本逻辑单元（Mux、And、Or等单元）实现乘法单元功能，实现等价功能替换并输出RTL网表。  最后使用赛题提供的工艺映射工具abc及脚本执行工艺映射，最终输出综合结果网表文件。  方案二：  自行实现verilog解析、优化等流程并输出网表。  以上两种方案参数者均需提供算法方案、代码、测试结果及必要的文档说明。 |
| 输出成果 | 算法方案、代码及测试结果  程序输出结果文件为经过工艺映射后产生的网表，包含查找表和触发器等单元。 |
| 评价指标 | 1. 保证结果正确性：在满足赛题约束的情况下，test case均能得到正确的综合结果，仿真通过； 2. 满足正确性的前提下，比较映射后的查找表和触发器数量，数量越少越好。 | |
| 提交材料 | 算法方案；  现场报告PPT；  测试结果；  算法代码；  程序操作说明，以便现场统一测试。 | |
| 答题所需软硬件资源 | Windows 7 64位以上操作系统 | |
| 配套支持 | 提供综合工具可执行文件、接口定义文件、test case集以及说明文档等。 | |
| 政策支持 | 优秀的学生可以提供实习岗位；实习通过可以提供就业岗位。 | |
| 其他 | （比赛相关的未尽事宜） | |