首届高校ICT产教融合创新大赛企业命题

命题编号：33

|  |  |  |
| --- | --- | --- |
| 命题企业 | 大唐微电子技术有限公司 | |
| 命题题目 | 基于AHB总线的cache设计 | |
| 命题方向 | 片外Memory作为SOC程序存储器时的高速缓存设计 | |
| 1. 1MB SPI NOR Flash作为外部存储，支持Quad SPI接口 2. 内部16KB缓存，采用组相连设计，每个block 32Byte 3. ARM M3 CPU | |
| 命题内容 | 命题背景 | 随着芯片系统越来越复杂，程序空间要求越来越大，同时伴随着工艺越来越先进，片内NVM存储IP越来越少，成本越来越高，所以NVM存储越来越多地作为程序、数据统一存储空间，目前主流的NVM大型存储有DDR/SPI NANDFlash、SPI NorFlash，小型芯片系统多采用SPI NorFlash。 |
| 研究目标 | 通过硬件Quad SPI接口，把SPI Norflash的数据load进入SOC（M3）内部16KB SRAM作为程序使用，SRAM接口为AHB 2.0总线，SRAM分组为512x32，分64个tag完成1MB寻址能力，cache执行效率为单周期，3级pipeline。 |
| 输出成果 | 1. 硬件Quad SPI接口； 2. 参数可配的cache设计，先入后出(LRU)； 3. AHB译码电路。 |
| 评价指标 | Verilog RTL设计，Testbench，实际程序运行测试报告、详细设计文档。 | |
| 提交材料 | 团队需提供《整体设计方案》  1MB全空间程序运行报告  SPI读取速率  不同程序Cache命中缺失比例数据  cache设计方案优缺点  FPGA实物开发板  RTL架构代码描述  cache详细设计方案  SPI详细设计方案  整体验证方案 | |
| 答题所需软硬件资源 | 1. FPGA开发板约(100K LEs) 2. EDA仿真器、综合器、FPGA开发工具 3. Quad SPI Flash（≥1MB） 4. M3 (M0)core RTL 5. SPI Flash Simulation Model 6. Monitor（如UART,USB） | |
| 配套支持 | FPGA文档、硬件PCB支持 | |
| 政策支持 | 优秀学生技术认证  公司择优推荐就业 | |
| 其他 | （比赛相关的未尽事宜） | |