首届高校ICT产教融合创新大赛企业命题

命题编号：34

|  |  |  |
| --- | --- | --- |
| 命题企业 | 中科亿海微电子科技（苏州）有限公司 | |
| 命题题目 | FPGA EDA软件并行布线优化 | |
| 命题方向 | 应用于FPGA EDA软件编译流程中的布线模块 | |
| 不限于使用多线程或多进程等并行技术对FPGA布线搜索进行加速 | |
| 命题内容 | 命题背景 | FPGA内部，现场可编程门阵列（Field Programmable Gate Arrays，FPGAs）主要由可编程逻辑块、可编程互连以及可编程输入/输出模块组成。其中，可编程互连实现可编程逻辑块之间、可编程逻辑块与可编程输入/输出模块之间的信号通信。FPGA布线问题是指通过对芯片中的可编程互连开关进行配置，从而完成对电路逻辑单元的连接，同时需要保证所有的互连资源都不能被重复使用。在FPGA EDA软件编译流程中，布线是一个非常重要且耗时的环节。随着FPGA芯片集成度以及电路规模的不断提高，FPGA布线难度越来越大，如何又快又好的布线，是FPGA EDA布线算法的一个重大考验。 |
| 研究目标 | 布线时，FPGA芯片内的硬件资源会被抽象为有向的布线资源图（Routing Resource Graph，RRG） G=（V，E）,其中V表示RRG中顶点的集合，每一个顶点v，vV表示FPGA芯片内的互连线资源或是逻辑单元的引脚。E表示 RRG 中边的集合，每一条边ei,j，ei,j E表示逻辑资源引脚与互连线资源或是互连线资源间的可编程互连开关。RRG作为布线算法与FPGA硬件间的纽带，能够将FPGA布线问题转化为图论中最短路径的求解问题，布线算法直接在RRG上对电路线网执行布线操作即可。  如上文所述，本赛题给定了RRG，给定了需要互连的点的集合，在RRG上进行搜索。在进行点的互连时，并不仅仅限于一一映射连接，可以一对多进行连接，而不存在多对一连接。给定的连接点对如下所示：net 1:（node0,node1,node2）第一个node为起点，后续的node为需要连接的目标点。同一个起点到达不同的目标点之间，可以共享布线路径。如：node0到达node1之后，可以直接将node0到node1的布线路径上的任一点作为起点，再布线到node2上。禁止在布线路径上出现环形路径。 |
| 输出成果 | 算法方案、代码及测试结果  程序输出结果文件：所有从起点到终点的布线路径，及布线消耗总时间。  Net 1: node0.....node1.....node2.  Net 2: node0.....node1.....node2. |
| 评价指标 | 1. 保证布线正确性：在满足赛题约束的情况下，test case均能得到正确布线结果； 2. 满足正确性的前提下，比较平均运行时间，运行时间越少越好。 | |
| 提交材料 | 算法方案  现场报告PPT  测试结果  算法代码  程序操作说明，以便现场统一测试 | |
| 答题所需软硬件资源 | Windows 7 64位以上操作系统 | |
| 配套支持 | 提供布线结构库文件、接口定义文件、test case集以及说明文档等。 | |
| 政策支持 | 优秀的学生可以提供实习岗位；实习通过可以提供就业岗位。 | |
| 其他 | （比赛相关的未尽事宜） | |